

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Patentschrift
10 DE 195 10 038 C 1

51 Int. Cl.⁸:
H 03 K 5,
H 03 K 5/15
// G08F 1/12

21 Aktenzeichen: 195 10 038.7-31
22 Anmeldetag: 20. 3. 95
43 Offenlegungstag: —
45 Veröffentlichungstag
der Patenterteilung: 14. 8. 96

DE 195 10 038 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:
Siemens Nixdorf Informationssysteme AG, 33106
Paderborn, DE

74 Vertreter:
Fuchs, F., Dr.-Ing., Pat.-Anw., 81541 München

72 Erfinder:
Vuksic, Antun, Dipl.-Ing., 81739 München, DE

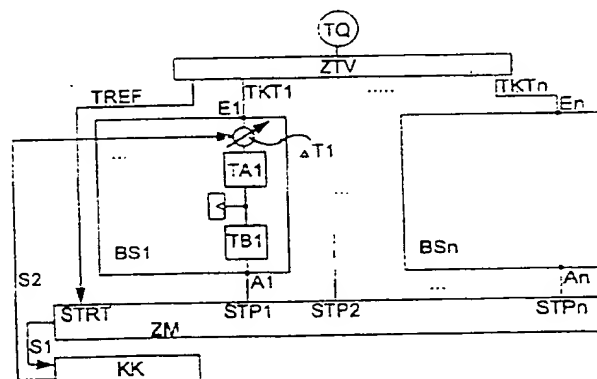
56 Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

DE 42 44 696 C2
DE 42 35 317 C2
US 52 72 390

ASHBY, L.:
FLETCHER, P.: Asic clock distribution using a phase
locked loop. in: Prelim, navy PLL Application Note,
7.4.92, S. 1-32;

54 Anordnung zum Autokalibrieren der Taktverteilung bei synchronen digitalen Schaltungen

57 Zum Bewerkstelligen einer Autokalibration der Taktverteilung bei synchronen digitalen Schaltungen wird eine Anordnung vorgeschlagen, die mit Hilfe von integrierten Zeitmeßeinheiten die Istzeitlagen der Takte mißt, in einem Kalibrationskontroller die Laufzeitunterschiede zu Sollpositionen der Takte errechnet und anschließend durch Anwenden von einstellbaren Verzögerungsgliedern die Laufzeitunterschiede korrigiert.



DE 195 10 038 C 1

Beschreibung

Die Erfindung betrifft eine Anordnung zum Autokalibrieren der Taktverteilung bei synchronen digitalen Schaltungen gemäß dem Oberbegriff des Anspruchs 1.

Durch die fertigungsbedingten Unterschiede der Laufzeitwerte für die Taktleitungen in unterschiedlichen Bausteinen bei synchronen digitalen Schaltungen, beispielsweise solchen wie Rechneranlagen, wird die maximal erreichbare Verarbeitungsgeschwindigkeit reduziert. Deshalb werden oft Maßnahmen eingeführt, um solche Fehler möglichst klein zu halten. PLL (phase locked loop) ist eine bekannte Methode, die mit Hilfe von passenden Regelungskreisen die Laufzeitschwankungen kompensieren kann. In der Druckschrift "ASIC CLOCK DISTRIBUTION USING A PHASE LOCKED LOOP", Laurin Ashby, Paul Fletcher, Rev. 2.4, Preliminary PLL Application Note, Seite 1 bis 32, 7.4.92, ist eine solche PLL-Schaltung angegeben.

Weitere steuerbare Verzögerungsschaltungen sind beispielsweise aus den Dokumenten DE 42 35 317 C2, DE 42 44 696 C2 und US 5272390 bekannt.

Aufgabe der Erfindung ist es, eine Anordnung für die Kalibration der Zeitlagen in synchronen digitalen Schaltungen anzugeben, die alternativ zu bekannten PLL-Methoden eingesetzt werden kann, um die mit der synchronen digitalen Schaltung erreichbare Geschwindigkeit zu erhöhen.

Diese Aufgabe wird durch die im Anspruch 1 gekennzeichneten Merkmale gelöst.

Danach werden mit Hilfe von integrierten Zeitmeßeinheiten die Istzeitlagen der Takte gemessen. In einem Kalibrationskontroller werden dann die Laufzeitunterschiede zu Sollpositionen der Takte errechnet und anschließend durch Anwendung von einstellbaren Verzögerungsgliedern korrigiert.

Vorteil dieser Maßnahme ist, daß der Unterschied zwischen Soll- und Istzeitlagen der Systemtakte auf einen kleinen Wert reduziert wird. Die erreichbare Geschwindigkeit der synchronen digitalen Schaltung wird erhöht. Außer der Kalibration führt der Kontroller die Selbsttestaufgaben in bezug auf die Taktverteilerfunktion durch.

Eine vorteilhafte Ausgestaltung der Erfindung ist Gegenstand eines Unteranspruchs.

Danach wird die Prozedur der Laufzeitnachregelung über den Kalibrationskontroller in regelmäßigen Zeitabständen wiederholt, so daß ein "on-line"-Taktabgleich realisiert ist. Dies ist möglich, da die Kalibration unabhängig von der Funktion der synchronen digitalen Schaltung ist.

Nachfolgend wird die Erfindung anhand einer Zeichnung näher erläutert. Darin zeigt

Fig. 1 eine Darstellung der Taktverteilung auf mehrere Bausteine in einem digitalen System gemäß dem Stand der Technik in Prinzipdarstellung und

Fig. 2 eine Anordnung zur Kalibration der Laufzeitunterschiede des Taktverteilers aus der Fig. 1 gemäß der Erfindung in Prinzipdarstellung.

Bei der in der Fig. 1 dargestellten Anordnung einer synchronen digitalen Schaltung werden mehrere Bausteine BS1 bis BS_n aus einem zentralen Taktverteiler ZTV mit Takten TKT1 bis TKT_n versorgt. Der zentrale Taktverteiler ZTV wird seinerseits von einer Taktquelle TQ mit einem zentralen Takt versorgt. Die einzelnen Bausteine BS1 bis BS_n weisen neben einer eigentlichen Logik, die außer in der Fig. 1 auch in der Fig. 2 nur durch angedeutete und nicht näher bezeichnete getaktete Flip-Flops dargestellt ist, einen internen Taktverteiler auf, der gegebenenfalls in Untergruppen, wie in der Fig. 1 gezeigt, unterteilt sein kann. Den internen Taktverteilern liegen jeweilige Laufzeiten TA1 bis TA_n zugrunde.

Die einzelnen Bausteine BS1 bis BS_n weisen Kopplungsglieder auf, denen Laufzeiten TB1 bis TB_n zugrunde liegen. Sie weisen Eingänge E1 bis E_n und Ausgänge A1 bis A_n auf, zwischen denen jeweilige Wegstrecken gebildet aus einem internen Taktverteiler und einem Kopplungsglied jeweils eines zugehörigen Bausteins angeordnet sind. Das mit einem Ausgang verbundene Kopplungsglied eines jeweiligen Bausteins dient für die Weiterleitung des über den jeweils zugehörigen Eingang des jeweils betreffenden Bausteins von dem zentralen Taktverteiler ZTV zugeführten Taktes. Dies ist eine prüftechnische Maßnahme, um Laufzeiten der internen Taktverteiler messen zu können.

Die Laufzeiten TB1 bis TB_n stellen nicht nur die Laufzeiten der jeweiligen Kopplungsglieder dar sondern auch die Laufzeiten zwischen den relevanten Takteingängen der getakteten Flip-Flops und den Ausgängen A1 bis A_n der jeweiligen Bausteine BS1 bis BS_n. Diese Laufzeiten sind im Vergleich zu den Laufzeiten der internen Taktverteiler wesentlich geringer.

Die Hauptfehlerquelle entsteht in den bausteinspezifischen Laufzeitunterschieden der internen Taktverteiler. Im Gegensatz dazu sind die Unterschiede für einzelne Taktwege in einem Baustein minimal.

Bekannt ist, mit einem sogenannten LSI-Faktor K die Abweichung der tatsächlichen Gatterlaufzeit in einem Baustein von einem sogenannten Laufzeitnennwert, der für das Gatter einen standardisierten Bezugswert darstellt, zu bezeichnen. Im vorliegenden Fall sind für die internen Taktverteiler und die Kopplungsglieder, die jeweils eine Teilstrecke der Signalverbindung E-A innerhalb eines Bausteins BS darstellen, die Laufzeitnennwerte TA0, TB0 angegeben. Mit dem LSI-Faktor K kann die Abweichung aller Laufzeiten in einem Baustein erfaßt werden. Deshalb gilt:

$$TA1 = TA0 \cdot K1 \quad TB1 = TB0 \cdot K1$$

$$\vdots \quad \vdots$$

$$TA_n = TA0 \cdot K_n \quad TB_n = TB0 \cdot K_n$$

Nach der Anordnung in Fig. 2 können in der synchronen digitalen Schaltung die Laufzeitmessungen an den Wegstrecken E1-A1, E2-A2, ..., E_n-A_n durchgeführt werden. Hierzu sind zwischen den jeweiligen Eingängen E1

bis En eines Bausteins BS1 bis BS_n und den internen Taktverteilern Zeitstellglieder ΔT_1 bis ΔT_n angeordnet. Ferner ist ein Zeitmesser ZM vorgesehen, der einen Starteingang STRT und mehrere Stopeingänge STP1 bis STP_n für jeweils einen Baustein BS1 bis BS_n aufweist. Der Starteingang STRT ist mit dem zentralen Taktverteiler ZTV verbunden. Die jeweiligen Stopeingänge STP1 bis STP_n sind jeweils mit einem Ausgang A1 bis A_n der Bausteine BS1 bis BS_n verbunden.

Außer dem Zeitmesser ZM ist ein Kalibrationskontroller KK vorgesehen, der eine erste und eine zweite Schnittstelle S1 und S2 aufweist. Die erste Schnittstelle S1 verbindet den Kalibrationskontroller KK mit dem Zeitmesser ZM. Die zweite Schnittstelle verbindet den Kalibrationskontroller KK mit jeweils den Zeitstellgliedern ΔT_1 bis ΔT_n .

Über die zweite Schnittstelle S2 kann der Kalibrationskontroller KK die Zeitstellglieder ΔT_1 bis ΔT_n individuell einstellen. Die Einstellung erfolgt aufgrund einer vom Zeitmesser ZM durchgeführten Zeitmessung. Die Ergebnisse einer Zeitmessung werden dem Kalibrationskontroller KK über die erste Schnittstelle S1 zugeleitet.

Eine Messung durch den Zeitmesser ZM wird mit einer Informationsübergabe des zentralen Taktverteilers ZTV an den Zeitmesser ZM, daß Takte vom zentralen Taktverteiler ZTV ausgegeben wurden, begonnen. Die Messung endet mit dem Eintreffen der Takte an den jeweiligen Stopeingängen STP1 bis STP_n des Zeitmessers ZM. Die gemessenen individuellen Zeiten der einzelnen in den jeweiligen Bausteinen BS1 bis BS_n enthaltenen Signalstrecken zwischen den jeweiligen Eingängen E1 bis E_n und jeweiligen Ausgängen A1 bis A_n stellen das Ergebnis der Zeitmessung dar.

Da die Zeitstellglieder ΔT_1 bis ΔT_n Bestandteil der Signalstrecken E1-A1, E2-A2, ..., E_n-A_n sind, werden bei den Zeitmessungen die Zeitstellglieder ΔT_1 bis ΔT_n zunächst jeweils auf einen minimalen Wert eingestellt, das heißt, sie werden in einen rückgesetzten Zustand gebracht. Bei weiteren Messungen können dann in einem immer feineren Raster die Zeitstellglieder ΔT_1 bis ΔT_n nachgeregelt werden.

Für die Prozedur der Kalibration ist angenommen, daß die Zeitlagen der Takte TKT1 bis TKT_n an den zugehörigen Ausgängen des zentralen Taktverteilers ZTV zu einem Taktausgabezeitpunkt keinen nennenswerten Unterschied aufweisen. Dies ist immer dann der Fall, wenn der zentrale Taktverteiler ZTV durch einen Baustein realisiert ist.

Folgende Prozedur führt zur Kalibration der Taktverteilung.

1. Alle Zeitstellglieder ΔT_1 bis ΔT_n rücksetzen.
2. Messen der minimalen Laufzeiten T_{min1} bis T_{minn} der internen Taktverteiler der Bausteine BS1 bis BS_n.
3. Berechnen der LSI-Faktoren K₁ bis K_n für die jeweiligen Bausteine BS1 bis BS_n gemäß jeweils der Beziehung

$$\frac{\text{gemessene min. Laufzeit Baustein } x}{\text{Laufzeitnennwert Baustein } x} = \frac{T_{\min x}}{T_{A \times 0} + T_{B \times 0}} = K_x$$

mit $x = 1, \dots, n$

4. Berechnen der Istwerte der Laufzeiten der internen Taktverteiler für die Bausteine BS1 bis BS_n gemäß der Beziehungen:

$$\begin{aligned} T_{A1} &= K_1 \cdot T_{A10} \\ T_{A2} &= K_2 \cdot T_{A20} \end{aligned}$$

$$T_{An} = K_n \cdot T_{An0}$$

5. Alle Zeitstellglieder auf maximalen Wert einstellen
6. Messen der maximalen Laufzeiten T_{max1} bis T_{maxn} der internen Taktverteiler der Bausteine BS1 bis BS_n.
7. Berechnen der Auflösung der einstellbaren Zeitstellglieder ΔT_1 bis ΔT_n gemäß der Beziehungen

$$d_1 = \frac{T_{\max 1} - T_{\min 1}}{r}, \dots, d_n = \frac{T_{\max n} - T_{\min n}}{r}$$

mit r = Anzahl der Schritte im Einstellbereich der Zeitstellglieder ΔT_1 bis ΔT_n .

8. Berechnen der in Schritten einzustellenden Korrekturwerte für die Zeitstellglieder ΔT_1 bis ΔT_n der Bausteine BS1 bis BS_n gemäß der Beziehungen

$$\text{Anz}d1 = \frac{\text{TA1} - \text{TA10}}{d1}, \dots, \text{Anz}dn = \frac{\text{TAn} - \text{TAn0}}{dn}.$$

9. Laden der Korrekturwerte Anzd1, ..., Anzdn in die Zeitstellglieder $\Delta T1$ bis ΔTn .

10. Kontrollieren der Zeitlagen im kalibrierten Zustand an den Ausgängen A1, ..., An der Bausteine BS1 bis BS_n auf die errechneten Sollwerte $T_{\min 1} + T(\text{Anzd1}), \dots, T_{\min n} + T(\text{Anzdn})$.

11. Falls eine Abweichung vorhanden ist: Korrektur der Schrittwerte Anzd1, ..., Anzdn bis der Kontrollschritt unter der Nummer 10 zu einem positiven Ergebnis führt. Falls nach mehrmaligem Korrigieren der Schrittwerte Anzd1, ..., Anzdn der Kontrollschritt unter der Nummer 10 nicht zu einem positiven Ergebnis führt, ist anzunehmen, daß der betreffende interne Taktverteiler fehlerhaft ist und folglich wird beispielsweise eine Fehlermeldung ausgegeben.

Da die erste und zweite Schnittstelle S1, S2 beim Zugriff des Kalibrationskontrollers KK auf den Zeitmesser ZM bzw. auf die Zeitstellglieder $\Delta T1$ bis ΔTn in den Bausteinen BS1 bis BS_n unabhängig von den funktionalen Schnittstellen und Signalen des Systems stattfinden, ist eine "on-line"-Kalibration der internen Taktverteiler $\Delta T1$ bis ΔTn möglich. Die eventuellen Veränderungen der Zeitlagen können in regelmäßigen Abständen kompensiert werden. Veränderungen können beispielsweise aufgrund von Temperatureinflüssen vorkommen.

Als Basis für die Realisierung des Zeitmessers ZM kann der von der Firma MCS entwickelte Baustein TDC 1000 dienen. Die Zeitstellglieder können beispielsweise mit einem Multiplexer realisiert sein, der pro Einstellung ein Laufzeitglied in einer Kette von Laufzeitgliedern hinschaltet, über die der Takt geleitet wird.

Außer der Meß- und Kalibrationsaufgabe führt die beschriebene Anordnung die Selbsttestfunktion aus.

Patentansprüche

1. Einrichtung zum Autokalibrieren der Taktverteilung bei synchronen digitalen Schaltungen mit einer Taktquelle, die an einen zentralen Taktverteiler angeschlossen ist, der für verschiedene Bausteine einer synchronen digitalen Schaltung einen jeweiligen Takt liefert und hierfür mit einem jeweiligen Ausgang mit einem entsprechenden Eingang der jeweiligen Bausteine verbunden ist, wobei die jeweiligen Bausteine in der Weise aufgebaut sind, daß zwischen dem mit dem zentralen Taktverteiler für den Empfang des zugehörigen Taktes verbundenen Eingang und einem zugehörigen Ausgang für eine mögliche Weiterführung des über den Eingang zugeführten Taktes an weitere Komponenten eine Wegstrecke bestehend aus einem internen Taktverteiler und einem Kopplungsglied angeordnet ist, **dadurch gekennzeichnet**, daß zwischen dem für die Taktzulieferung vorgesehenen Eingang (z. B. E1) eines betreffenden Bausteins (z. B. BS1) und dem jeweils internen Taktverteiler mit einer zugehörigen Laufzeit (z. B. TA1) ein Zeitstellglied (z. B. $\Delta T1$) angeordnet ist, daß für alle Bausteine (BS1 bis BS_n) der synchronen digitalen Schaltung ein Zeitmesser (ZM) vorgesehen ist, der einen mit dem zentralen Taktverteiler (ZTV) verbundenen Starteingang (STRT) und mehrere einzeln jeweils mit einem der Ausgänge (z. B. A1) der Bausteine (BS1 bis BS_n) verbundene Stopeingänge (STP1 bis STP_n) aufweist, und daß ein Kalibrationskontrolller (KK) vorgesehen ist, der über eine erste Schnittstelle (S1) mit dem Zeitmesser (ZM) und einer zweiten Schnittstelle (S2) mit den jeweiligen Zeitstellgliedern ($\Delta T1$ bis ΔTn) der jeweiligen Bausteine (BS1 bis BS_n) zu deren individuellen Einstellung in Abhängigkeit von den über die erste Schnittstelle (S1) vom Zeitmesser (ZM) an den Kalibrationskontrolller (KK) übermittelten Ergebnissen als Folge einer Zeitmessung beginnend mit einem an den Starteingang (STRT) des Zeitmessers (ZM) vom zentralen Taktverteiler (ZTV) gelieferten Startsignals und endend mit dem Eintreffen der über die Ausgänge (A1 bis An) der jeweiligen Bausteine (BS1 bis BS_n) ausgegebenen Takte (TKT1 bis TKT_n) an den jeweiligen Stopeingängen (STP1 bis STP_n) des Zeitmessers (ZM) verbunden ist.

2. Einrichtung nach Anspruch 1, gekennzeichnet durch individuelle Einstellungen der jeweiligen Zeitstellglieder ($\Delta T1$ bis ΔTn), die in wiederkehrenden Zeitabschnitten durchgeführt sind.

Hierzu 1 Seite(n) Zeichnungen

- Leerseite -

FIG 1

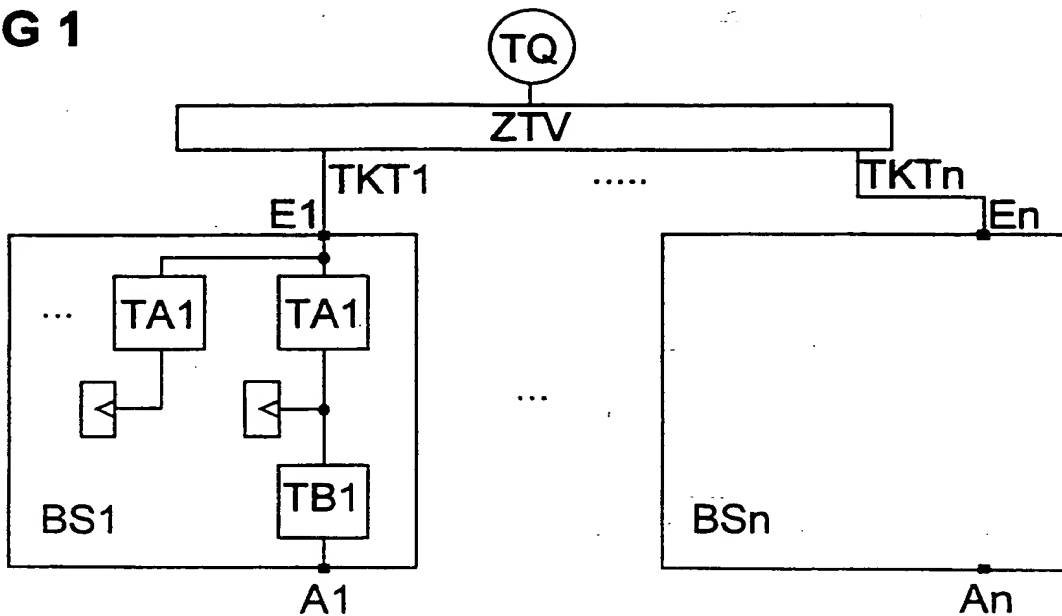
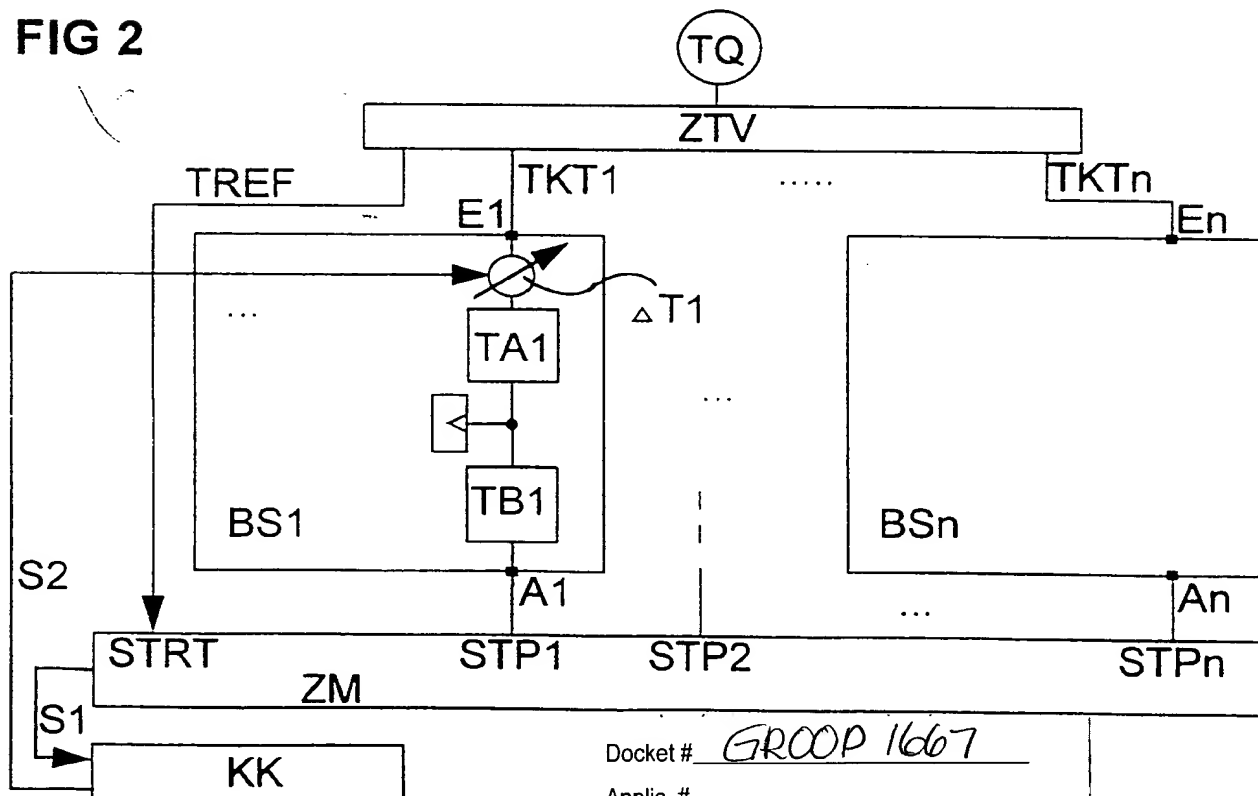


FIG 2



Docket # GR00P 1667

Applic. #

Applicant: Holfgang Nikutta

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

602 133/326